

N

PAT-NO: JP02002222934A
**DOCUMENT-
IDENTIFIER:** ~~JP2001020514~~
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURING
METHOD THEREOF

PUBN-DATE: August 9, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
IIZUKA, TOSHIHIRO	N/A
YAMAMOTO, ASAE	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP2001020514
APPL-DATE: January 29, 2001

INT-CL (IPC): H01L027/108 , H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the temperature dependency of the leakage current of the capacitor of a semiconductor device which has a MIM structure, and further, to improve the reliability of the semiconductor device.

SOLUTION: In the manufacturing method of the semiconductor device, the film of a barrier insulation layer 6 is so formed by an atomic-layer chemical vapor-phase epitaxy method as to be deposited on a lower electrode 5 of its capacitor

and on its interlayer insulation film 3, and a high-dielectric-constant film 7 is so deposited on the barrier insulation layer 6 as to form a capacitor insulation film 8. Also, a barrier insulation layer is further formed on the high- dielectric-constant film. In this way, an upper electrode 9 covering the capacitor insulation film 8 is so provided as to manufacture its capacitor having a MIM structure. Hereupon, the flow of the electrons in the film of the barrier insulation layer 6 is subjected to a Fowler-Nordheim(F-N) tunnel-current mechanism or a direct tunnel-current mechanism.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-222934
(P2002-222934A)

(43)公開日 平成14年8月9日(2002.8.9)

(51)Int.Cl.

H 01 L 27/108
21/8242

識別記号

F I

H 01 L 27/10

マーク(参考)

6 2 1 B 6 F 0 8 3
6 2 1 C

審査請求 未請求 請求項の数12 OL (全 12 頁)

(21)出願番号

特願2001-20514(P2001-20514)

(22)出願日

平成13年1月29日(2001.1.29)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 飯塚 敏洋

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 山本 朝恵

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

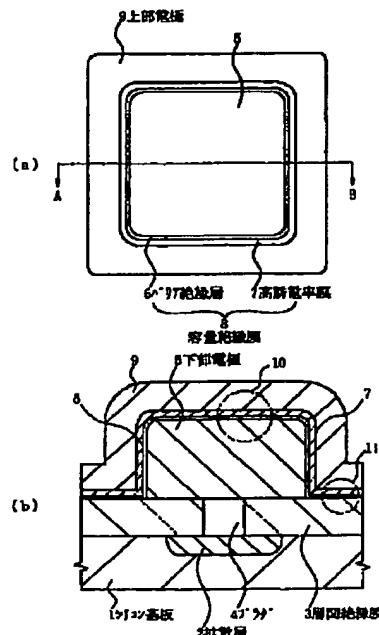
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】M I M構造のキャバシタのリーク電流の温度依存性を小さくし、更にその信頼性を向上させる。

【解決手段】キャバシタの下部電極5、眉間絶縁膜3に被着するようにバリア絶縁層6を原子層化学気相成長法で成膜し、バリア絶縁層6に高誘電率膜7を被着させ容量絶縁膜8を形成する。また、高誘電率膜上に更にバリア絶縁層を形成する。このようにして、容量絶縁膜8を被覆する上部電極9を設けM I M構造のキャバシタを製造する。ここで、バリア絶縁層6の膜中の電子の流れは、Fowler Nordheim (F-N) トンネル電流あるいは直接トンネル電流機構となる。



(2)

特開2002-222934

1

2

【特許請求の範囲】

【請求項1】 半導体基板上に下部電極、容量絶縁膜および上部電極を順次積層して形成したキャパシタを有し、前記下部電極と上部電極とは金属膜で構成され、前記容量絶縁膜は第1の誘電体膜と第2の誘電体膜の積層膜で構成され、前記第1の誘電体膜は前記下部電極あるいは上部電極と前記第2の誘電体膜との間に介在し、前記第1の誘電体膜中の電子の流れがFowler Nordanheim (F-N) トンネル電流機構あるいは直接トンネル電流機構となることを特徴とする半導体装置。

【請求項2】 前記第1の誘電体膜はアルミナ膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第2の誘電体膜が金属酸化膜で構成されていることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記金属酸化膜は Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、(Ba, Sr) TiO_3 膜あるいは $Pb(Zr, Ti)O_3$ 膜であることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板上にキャパシタの下部電極を金属膜で形成し原子層化学気相成長 (ALCVD) 法でもって前記下部電極を被覆する容量絶縁膜を形成する工程と、前記容量絶縁膜上にキャパシタの上部電極を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記容量絶縁膜は第1の誘電体膜と第2の誘電体膜の積層膜で構成され、原子層化学気相成長 (ALCVD) 法でもって前記第1の誘電体膜を前記下部電極上あるいは前記第2の誘電体膜上に被着させることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記第1の誘電体膜はアルミナ膜であり、前記第2の誘電体膜は金属酸化膜で構成されることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記金属酸化膜は Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、(Ba, Sr) TiO_3 膜あるいは $Pb(Zr, Ti)O_3$ 膜であることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記第1の誘電体膜を被着させる工程において、トリメチルアルミニウム (TMA) と酸化ガスとを反応ガスとした原子層化学気相成長 (ALCVD) 法でアルミナ膜を形成することを特徴とする請求項6、請求項7または請求項8記載の半導体装置の製造方法。

【請求項10】 前記容量絶縁膜は Ta_2O_5 膜、 ZrO_2 膜、 HfO_2 膜、 $SrTiO_3$ 膜、(Ba, Sr) TiO_3 膜または $Pb(Zr, Ti)O_3$ 膜であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項11】 前記金属膜は金属酸化物あるいは金属窒化物で構成されることを特徴とする請求項5から請求項10のうち1つの請求項に記載の半導体装置の製造方法。

【請求項12】 前記金属酸化物、金属窒化物は、RuO₂、IrO₂、TiN、Ta_NあるいはWNであることを特徴とする請求項11記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に半導体装置のキャパシタ構造とその形成方法に関する。

【0002】

【従来の技術】半導体デバイスの中で記憶情報の任意な出入力が可能なうちにDRAMがある。このようなメモリーデバイスであるDRAMのメモリーセルは、1個のトランスマジスタと、1個のキャパシタとからなるものが構造的に簡単であり、半導体装置の高集積化に最も適するものとして広く用いられている。

【0003】また、最近の半導体デバイスではシステムLSIが重要になってきている。このような半導体装置では、ロジック回路とメモリーハードウェアとが半導体チップに搭載されたロジック混載メモリーデバイス、ロジック回路とアナログ回路混載のアナログ混載ロジックデバイス等、種々の混載デバイスが開発検討されている。このような混載デバイスにおいても、メモリーセルは上述したように、1個のトランスマジスタと1個のキャパシタとから構成される。

【0004】このようなメモリーセルのキャパシタでは、半導体デバイスの更なる高集積化に伴い、3次元構造のものが開発され使用されてきている。このキャパシタの3次元化は次のような理由による。すなわち、半導体素子の微細化及び高密度化に伴いキャパシタの占有面積の縮小化が必須となっている。しかし、半導体デバイスのメモリーハードウェアの安定動作及び信頼性確保のためには、一定以上の容量値が必要とされる。そこで、キャパシタの電極を平面構造から3次元構造に変えて、縮小した占有面積の中でキャパシタ電極の表面積を拡大することが必要となる。

【0005】このメモリーセルの3次元構造のキャパシタにはスタック構造のものとトレンチ構造のものがある。これらの構造にはそれぞれ一長一短があるが、スタック構造のものはアルファーレイの入射あるいは回路等からのノイズに対する耐性が高く、比較的容量値の小さい場合でも安定動作する。このために、半導体素子の設計基準が0.10 μm程度となる半導体デバイスにおいても、スタック構造のキャパシタは有効であると考えられている。

【0006】そして、最近では、このスタック構造のキャパシタ（以下、スタック型のキャパシタと呼称する）の場合、微少な面積領域に所定の容量値を確保するために非常に高い誘電率を有する誘電体膜（容量絶縁膜）が必要になってきている。そこで、このような高誘電率膜

(3)

特開2002-222934

3

として、五酸化タンタル (Ta_2O_5) 膜、 $SrTiO_3$ (以下、STO膜という)、 $(Ba, Sr)TiO_3$ (以下、BST膜という)、 $Pb(Zr, Ti)O_3$ (以下、PZT膜という)などの絶縁材料が精力的に検討されている。更には、スタック型のキャバシタの下部電極として新しい導電体材料が必要になってきている。これは、上記のような高誘電率の絶縁材料と下部電極との適切な組み合わせを通して、キャバシタの高い信頼性を確保するためである。例えば、1994年 インターナショナル エレクトロン デバイス ミーティング (International Electron Devices Meeting) のダイジェスト オブ テクニカル ペーパー (Digest of Technical Papers) 831~834頁に示されているように、容量絶縁膜にSTO膜が使用され下部電極に二酸化ルテニウム (RuO_2) の導電体材料が適用されている。同様なキャバシタ構造については、例えば特開2000-114482号公報に記載されている。

【0007】以下、図11を参照して従来の高誘電率膜で構成されるスタッ�型のキャバシタの構造について説明する。ここで、図11(a)は模式化したスタッ�型のキャバシタの平面図であり、簡単化のため下部電極と容量絶縁膜と上部電極とが示されている。図11(b)は、図11(a)に記すX-Yでの断面図である。

【0008】以下、図11(a)と図11(b)とと一緒にして説明する。図11(b)に示すように、導電型がP型のシリコン基板101表面の所定の領域に導電型がN型の拡散層102が形成され、シリコン基板101上の層間絶縁膜103の一部が開口されアラグ104が形成されている。そして、下部電極105が直接に層間絶縁膜103に被覆するように形成されている。ここで、下部電極105と拡散層102とはアラグ104で電気接続される。

【0009】そして、図11(a)および図11(b)に示すように、下部電極105の側面および上面、さらに層間絶縁膜103上に容量絶縁膜106が形成される。ここで、下部電極105は二酸化ルテニウムの金属膜で構成され、容量絶縁膜106は、例えば Ta_2O_5 膜、STO膜等で構成される。そして、全体を被覆するように上部電極107が形成される。なお、この上部電極107も下部電極と同様な金属膜で構成される。

【0010】

【発明が解決しようとする課題】本発明者は、上述したような高誘電率材料を容量絶縁膜とするMIM (Metal/Insulator/Metal) 構造のキャバシタについて詳細に検討した。

【0011】その結果、金属酸化物である、五酸化タンタル (Ta_2O_5)、二酸化ジリコニウム (ZrO_2)、二酸化ハフニウム (HfO_2)、STO ($SrTiO_3$) 膜、BST ((Ba, Sr) TiO_3) 膜あるいはPZT ($Pb(Zr, Ti)O_3$) 膜、を上記の容量絶縁膜とすると、容量絶縁膜中のリーク電流は、測定温度が高くなるに従い増大することが判明した。

【0012】このようなリーク電流の測定温度依存性の概略を図12に従って説明する。ここで、図12に示す特性は、上述したMIM構造のキャバシタのものである。なお、容量絶縁膜はSTO膜の場合である。また、下部電極-上部電極間に印加する電圧は+1V/-1Vの場合である。

【0013】図12では、横軸に測定温度を絶対温度にしその逆数 ($1/T$) をとっている。そして、容量(絶縁)膜中のリーク電流Jを対数表示にとっている。図12に示すように、容量膜中のリーク電流 J/T^2 は、 $1/T$ の増加と共にほぼ比例して減少する。これは、容量膜中のリーク電流Jが、キャバシタ電極である下部電極あるいは上部電極から容量絶縁膜への電子の熱放出に律速されることを示している。このように従来の技術では、容量膜中のリーク電流Jは、測定温度の増加と共に急激に増大するようになる。このリーク電流の温度依存性は上記印加電圧に依存するが、いずれにしても、このリーク電流は測定温度の増加に伴い増大するようになる。

【0014】半導体デバイスの動作においては、動作温度は150°C程度まで保証することが必要である。特に、ロジック混載メモリーデバイスでは、上述したMIM構造のキャバシタにおいて、動作温度が高くなってしまって容量絶縁膜中のリーク電流の増加を抑制することが強く要求される。このデバイスでは、リーク電流の増加がその動作に大きく影響するからである。

【0015】本発明の主目的は、MIM構造のキャバシタのリーク電流の温度依存性を小さくし、更にその信頼性を向上させることにある。また、本発明の他の目的は、高誘電率である金属酸化物の材料を容量絶縁膜とするキャバシタにおいて、簡便な手法でもってその容量値を向上させることにある。

【0016】

【課題を解決するための手段】このために本発明の半導体装置では、半導体基板上に下部電極、容量絶縁膜および上部電極を順次積層して形成したキャバシタを有し、前記下部電極と上部電極とは金属膜で構成され、前記容量絶縁膜は第1の誘電体膜と第2の誘電体膜の積層膜で構成されている。ここで、前記第1の誘電体膜は前記下部電極あるいは上部電極と前記第2の誘電体膜との間に介在し、前記第1の誘電体膜中の電子の流れがFowler Nordheim (F-N) トンネル電流機構あるいは直接トンネル電流機構となる。このような第1の誘電体膜としてはアルミナ膜が用いられる。

【0017】このようなMIM構造のキャバシタにすることで、このキャバシタ使用時の容量絶縁膜中のリー